

Requested Patent: JP62092361A
Title: SHORT CHANNEL CMOS ON 110 CRYSTAL PLANE ;
Abstracted Patent: US4857986 ;
Publication Date: 1989-08-15 ;
Inventor(s): KINUGAWA MASAOKI (JP) ;
Applicant(s): TOKYO SHIBAURA ELECTRIC CO (JP) ;
Application Number: US19860884962 19860714 ;
Priority Number(s): JP19850232253 19851017 ;
IPC Classification: H01L27/02; H01L29/04 ;
Equivalents: ;

ABSTRACT:

A monocrystalline silicon substrate having a (110) crystal plane is prepared. A CMOS transistor is formed on this substrate. An N channel MOS transistor and a P channel MOS transistor are formed in the surface of the semiconductor substrate. In each of these transistors the channel length is 1.5 μm or less and the velocity saturation phenomenon of electrons is outstanding.

⑪ 公開特許公報(A) 昭62-92361

⑫ Int. Cl.

識別記号

庁内整理番号

⑬ 公開 昭和62年(1987)4月27日

H 01 L 27/08

1 0 2

6655-5F

審査請求 未請求 発明の数 1 (全4頁)

⑭ 発明の名称 相補型半導体装置

⑮ 特 願 昭60-232253

⑯ 出 願 昭60(1985)10月17日

⑰ 発 明 者 衣 川 正 明 川崎市幸区小向東芝町1番地 株式会社東芝総合研究所内

⑱ 出 願 人 株 式 会 社 東 芝 川崎市幸区堀川町72番地

⑲ 代 理 人 弁理士 鈴江 武彦 外2名

明 細 書

1. 発明の名称

相補型半導体装置

2. 特許請求の範囲

(1) 結晶方位が(100)以外の表面を有する単結晶シリコン基板と、この基板表面に設けられた実効チャネル長が1.0μm以下のNチャネル型MOSトランジスタと、前記基板表面に設けられたPチャネル型MOSトランジスタとを具備することを特徴とする相補型半導体装置。

(2) 単結晶シリコン基板の表面の結晶方位が(110)であることを特徴とする特許請求の範囲第1項記載の相補型半導体装置。

3. 発明の詳細な説明

(発明の技術分野)

本発明は相補型半導体装置に関し、特にC(相補型)MOSトランジスタに係わる。

(発明の技術的背景とその問題点)

周知の如く、微細なMOSトランジスタでは速度飽和現象が起り、微細化しても例えばスケーリ

ング則から期待される程度の高性能が期待できない。従って、同じプロセスを用いても多くの電流密度が得られる方法が非常に望まれている。一方、今までNMOSプロセスからの伝統でCMOSプロセスも(100)面方位をもったシリコン基板表面をもとに構築されていた。この理由としては、シリコン基板—シリコン酸化膜との界面単位が少なく、及び電子の移動度が高く多くの電流を得ることができることが挙げられる。

しかしながら、従来技術によれば、以下に示す問題点を有する。

① NMOSトランジスタでは、実効チャネル長が1.0μm以下になると、第2図に示す如く、速度飽和現象が著しくなり、この飽和速度の面方位依存性が小さいことから、増幅回路の面方位による差がなくなる。なお、第2図において、縦軸は単位実効チャネル幅当たりの互換電圧比($I_{DD}/W_{eff}ratio$ 、倍し(100)=1)、横軸は実効チャネル長である。

② 一方、PMOSトランジスタでは、ホールの

速度面が比較的起りにくい。従って、実効チャネル長が 1.0μ 以下になっても、第3図に示す如くホールの移動度の差による増減幅の面方位依存性が存在し、有効質量の差で説明されるように(100)面の電流量が一減小さい。

(発明の目的)

本発明は上記事項に鑑みてなされたもので、従来と比べ多くの電流量が得られる箱組型半導体装置を提供することを目的とする。

(発明の概要)

本発明者は、第2図及び第3図の特性図にもとづいて、以下の点を発明した。

① NMOSTトランジスタの実効チャネル長が 1.0μ 以下になった場合、CMOSTトランジスタは(100)面以外の面上に形成した方がNMOSTトランジスタの電流量は(100)面並に高く、PMOSTトランジスタは(100)面よりはるかに高い電流量が得られるため、全体としての電流量が著しく増加する。

② 従来、(100)面を用いたもう1つの大き

- 3 -

な利点である界面単位あたりの少いということは、現在の進んだ酸化技術による界面単位あたりのものの低下と、微細化が進んでゲート容量(Cox)が増大することによって界面単位Nssのしきい値に与える影響($\Delta V_t = Q_{Nss}/C_{ox}$)が小さくなったことを考えられると、次第に利点としての価値がなくなりつつある。

以上より、本発明者は、従来通り(100)面を使ってNMOSTトランジスタの実効チャネル長が 1.0μ 以下のCMOSTトランジスタを形成すると、電流量が多くとれずむしろ(100)面以外特に(110)面を用いた方がよいことを究明した。

即ち、本発明は、結晶方位が(100)以外の表面を有する単結晶シリコン基板と、この基板表面に設けられたチャネル長が 1.0μ 以下のNチャネル型のMOSトランジスタと、前記基板表面に設けられたPチャネル型のMOSトランジスタとを具備し、電流量の向上を図ったことを要する。

- 4 -

(発明の実施例)

以下、本発明の一実施例に係るCMOSTトランジスタを製造工程順に第1図(a)~(c)を参照して説明する。

(1) まず、(110)を表面として持つ比抵抗 $20\cdot\Omega\cdot\text{cm}$ のN型のシリコン基板1にピーク濃度 $2\times 10^{17}\cdot\text{cm}^{-3}$ で接合深さ 3μ のPウェル2を形成した。つづいて、選択酸化法により、前記基板1の表面にフィールド酸化膜3を所定の方法により形成した(第1図(a)図示)。

(2) 次に、前記基板1及びPウェル2の表面に厚さ 200\AA のゲート酸化膜4を形成した。つづいて、リソグラフィ技術によりNチャネル領域をレジストで(図示せず)で覆い、Pチャネル領域にパシスルー防止のためのイオン注入即ちリンを加速電圧 280KeV 、ドーズ量 $6\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入し、更にしきい値合せのためのイオン注入即ちボロンイオンを加速電圧 35KeV 、ドーズ量 $5\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入した。次いで、レジスト

を除去し、リソグラフィ技術によりPチャネル領域をレジストで覆い、Nチャネル領域にパシスルー防止のためのイオン注入即ちボロンイオンを加速電圧 80KeV 、ドーズ量 $6\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入し、ひきつづきしきい値合せのためのイオン注入即ちボロンを加速電圧 35KeV 、ドーズ量 $1\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入した。更に、レジストを除去し、全面に厚さ 4000\AA の多結晶シリコン膜を(図示せず)をCVD法により増幅した。この後、この多結晶シリコン膜に 900°C で30分間 POCl_3 中でリンを拡散し、パターニングして多結晶シリコンからなるゲート電極5を形成した。ひきつづき、Nチャネル領域をレジストで覆い、セルフラインでPチャネル領域に $\text{BF}_3\cdot\text{O}$ イオンを加速電圧 50KeV 、ドーズ量 $5\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入した。更に、レジストを除去した後、Pチャネル領域をレジストで覆い、Nチャネル領域に As^+ イオンを加速電圧 50KeV 、ドーズ量 $5\times 10^{12}\cdot\text{cm}^{-2}$ の条件下でイオン注入した。

- 6 -

- 5 -

この後、レジストを除去し、900℃、 N_2 で30分間アニールし、活性化してPウェル2に N^+ 型のソース・ドレイン領域6、7を形成するとともに、基板1に P^+ 型のソース・ドレイン領域8、9を形成した(第1図(b)図示)。

(3)次に、全面にCVD法により層間絶縁膜としての厚さ5000Åの SiO_2 膜10を堆積した。つづいて、前記ソース・ドレイン領域6〜9上の SiO_2 膜10を選択的に開口し、コンタクトホール11…を形成した。次いで、全面に厚さ8000ÅのA膜(図示せず)をスパッタ法により堆積した後、パターンニングしてA膜配線12…を形成した。更に、パッシベーション膜としての厚さ12000ÅのPSG膜13をCVD法により堆積しCMOSTランジスタを製造した(第1図(c)図示)。

本発明に係るCMOSTランジスタは、第1図(c)に示す如く、結晶方位(110)を表面としても N 型の単結晶シリコン基板1にPウェル2を設け、このPウェル2表面に N^+ 型のソース

・ドレイン領域6、7及びゲート電極5等からなる N チャネル型MOSTランジスタを設け、更に前記基板1表面に P^+ 型のソース・ドレイン領域8、9及びゲート電極5等からなる P チャネルMOSTランジスタを設けた構造となっている。従って、本発明によれば、速度飽和によって N チャネルMOSTランジスタの電流量を(100)面と同等にし、かつ著しい速度飽和の生じない P チャネルMOSTランジスタの電流量を(100)面以上にして全体としての電流量を従来よりも多くできる。

なお、上記実施例では、シリコン基板の表面の結晶方位が(110)である場合について述べたが、これに限定されるものではない。例えば、(211)、(322)等でもよい。

(発明の効果)

以上詳述した如く本発明によれば、従来と比べ多くの電流量を穿られる複雑な相違半導体装置を提供できる。

4. 図面の簡単な説明

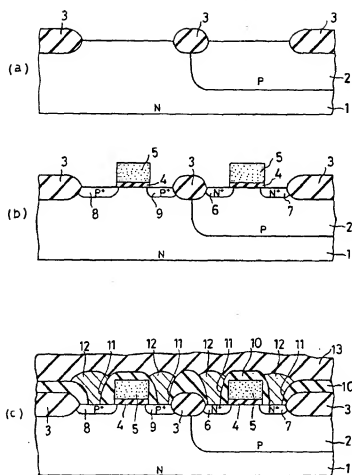
- 7 -

- 8 -

第1図(a)〜(c)は本発明の一実施例に係るCMOSTランジスタを製造工程順に示す断面図、第2図は従来のNMOSTランジスタにおける単位実効チャネル幅当りの五極電流比と実効チャネル比との関係を示す特性図、第3図は従来のPMOSTランジスタにおける単位実効チャネル幅当りの五極電流比と実効チャネル比との関係を示す特性図である。

1… N 型の単結晶シリコン基板、2…Pウェル、3…フィールド酸化膜、4…ゲート酸化膜、5…ゲート電極、6、8…ソース領域、7、9…ドレイン領域、10… SiO_2 膜(層間絶縁膜)、11…コンタクトホール、12…A膜配線、13…PSG膜(パッシベーション膜)。

出願人代理人 弁理士 鈴江武彦



第 1 図

